

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

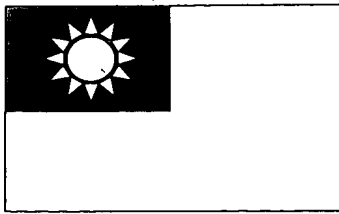
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 11 月 27 日  
Application Date

申請案號：092133297  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2004 年 4 月 7 日  
Issue Date

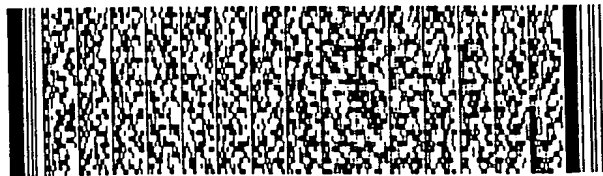
發文字號：09320316220  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	處理器匯流排最佳化驗證方法
	英 文	Method for verifying optimization of processor link
二、 發明人 (共2人)	姓 名 (中文)	1. 徐明樟 2. 彭盛昌
	姓 名 (英文)	1. Mingwei Hsu 2. Sheng-Chang Peng
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路533號8樓 2. 台北縣新店市中正路533號8樓
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1. VIA TECHNOLOGIES, INC.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, 533, Chung-Cheng Rd., Hsin-Tien, Taipei, Taiwan, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Cher WANG



0608-9909:twf(n1);VIT03-0113:ROBERT pid

四、中文發明摘要 (發明名稱：處理器匯流排最佳化驗證方法)

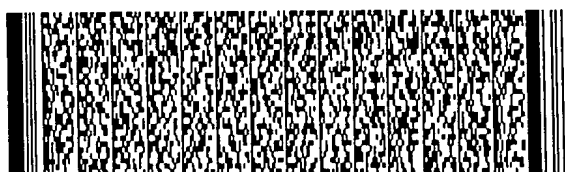
一種處理器匯流排最佳化驗證方法。首先，設定處理器與北橋晶片組之間匯流排之匯流排啟始頻寬與匯流排啟始頻率以及匯流排操作頻寬與匯流排操作頻率，接下來，發出讀取南橋晶片組之指令，接下來，南橋晶片組輸出匯流排中斷信號以匯流排的連線，並啟始計數器之計數值以及輸出具有第一位準之最佳化驗證信號。當計數器之計數值累積達一既定值，則南橋晶片組輸出匯流排連接信號，並將上述最佳化驗證信號之位準轉換為第二位準。最後，匯流排根據匯流排連接信號以及第二位準之最佳化驗證信號而重新連接處理器與北橋晶片組，並工作於另一匯流排操作頻寬與匯流排操作頻率。

伍、(一)、本案代表圖為：第\_\_5\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：  
略

六、英文發明摘要 (發明名稱：Method for verifying optimization of processor link)

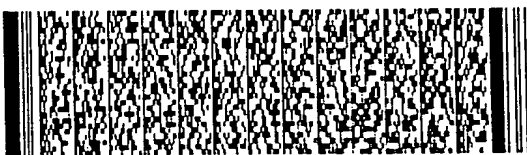
A method for verifying optimization of processor link. First, initial link width and frequency, and operation link width and frequency between CPU and Northbridge are set. Next, a request of accessing Southbridge is issued. Next, Southbridge disconnects the processor link between CPU and Northbridge, enables a timer, and outputs a first optimization verifying signal having a



四、中文發明摘要 (發明名稱：處理器匯流排最佳化驗證方法)

六、英文發明摘要 (發明名稱：Method for verifying optimization of processor link)

first level. Next, Southbridge outputs a reconnection signal and a second optimization verifying signal having a second level when the value of the time reaches a predetermined value. Finally, processor link reconnects CPU and Northbridge according to the reconnection signal and the second optimization verifying signal and is operated in the other operation link width and



四、中文發明摘要 (發明名稱：處理器匯流排最佳化驗證方法)

六、英文發明摘要 (發明名稱：Method for verifying optimization of processor link)

frequency.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

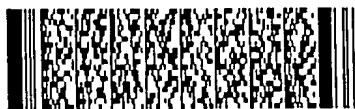
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### [發明所屬之技術領域]

本發明係有關於一種處理器匯流排最佳化驗證方法，特別是有關於一種應用於AMD K8作業平台 (plat form) 之處理器匯流排最佳化驗證方法。

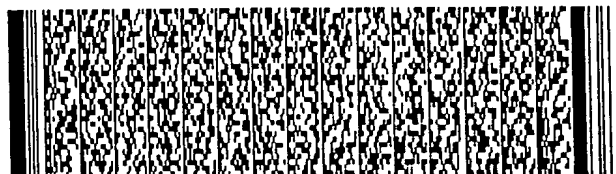
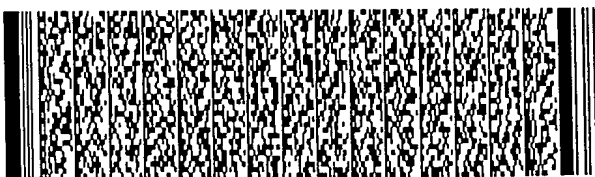
### [先前技術]

Legacy I/O 匯流排結構因其低成本以及利用已建立之標準軟體以及硬體標準而容易實施等特性，因此廣泛使用於嵌入式系統 (embedded system) 中。然其最高操作頻率僅為66MHz左右，因此，現今操作頻率達500MHz以上之處理器，必須使用具有更高頻寬以及操作頻率之匯流排。

閃電數據傳輸I/O 匯流排 (Lightning Data Transport, LDT, I/O Bus)，亦稱高傳輸I/O 匯流排 (Hyper Transport, HT, I/O Bus)，滿足了目前電腦網路、通訊系統以及其他嵌入式系統所需之高頻寬需求，為一種具有靈活性、擴充性以及容易使用之匯流排架構。LDT I/O 匯流排能夠提供下一代處理器以及通訊系統所需之頻寬 (width)，再者，LDT I/O 匯流排更具有可調整之匯流排頻寬以及操作速度等功能，以符合電源、空間以及成本之需求。

傳統LDT I/O 匯流排之頻寬與操作頻率之最佳化必須透過執行LDT匯流排中斷 (disconnection) 以及重新連接 (reconnection) 程序以使得LDT匯流排操作於預期之頻寬與操作頻率。

第1圖係顯示傳統具有LDT匯流排之電腦系統架構圖。





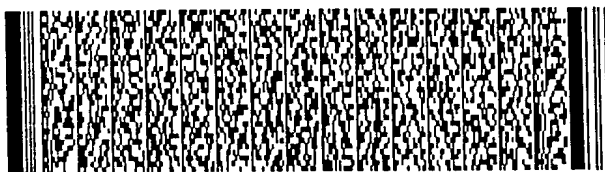
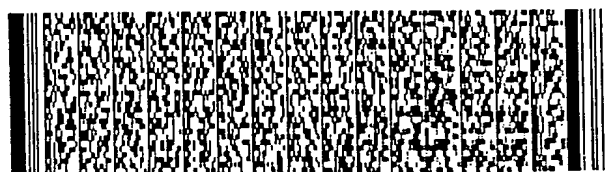
## 五、發明說明 (2)

如圖所示，處理器10與北橋14之間具有一LDT匯流排12。在此，處理器係以AMD所製造之K8 CPU為例。而北橋14與南橋18之間具有另一匯流排16。當要執行處理器電源管理程序以及匯流排最佳化程序時，位於處理器10與北橋14之間的LDT匯流排12必須執行中斷以及重新連線之動作，上述動作需受到由南橋18所輸出之信號LDTSTOP#之位準變化所控制。信號LDTSTOP#之位準於正常情形為第一位準（以高位準為例），當南橋將信號LDTSTOP#之位準拉低為第二位準時（以低位準為例），此稱為設定（assert）信號LDTSTOP#，而當處理器10以及北橋14皆接收到設定

（assert）之信號LDTSTOP#時，則LDT匯流排12中斷連線。此時，南橋18內部之計數器19開始計數，待達到一既定值後，則南橋將信號LDTSTOP#之位準再恢復為原本之第一位準（高位準），此稱為解除（deassert）信號LDTSTOP#。當處理器10以及北橋14皆接收到解除

（deassert）之信號LDTSTOP#時，則LDT匯流排12重新連線，以套用新的LDT匯流排操作頻率以及頻寬，或者是處理器之操作電壓與頻率。

第2圖係顯示傳統LDT I/O 匯流排之頻寬與操作頻率最佳化之操作流程圖。首先，在系統電源啟動後，由基本輸入/輸出系統（Basic Input/Output System, BIOS）初始（initialize）LDT匯流排之啟始設定，包括設定處理器與北橋之間的LDT匯流排之匯流排啟始頻寬與匯流排啟始頻率以及最佳化時之匯流排操作頻寬與操作頻率（S1

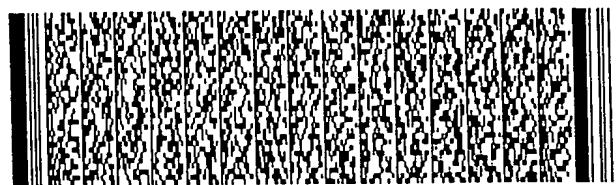
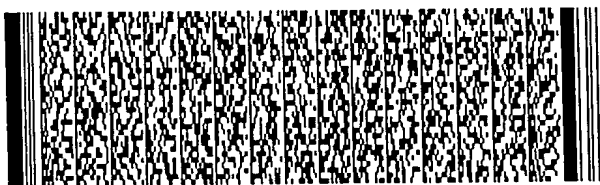


### 五、發明說明 (3)

)。舉例來說，在電腦系統啟動後，匯流排啟始頻寬可為8位元，但最佳化時可調整為16位元。再者，匯流排啟始頻率可為200MHz，但可最佳化為400MHz、600MHz或800MHz等頻率。上述最佳化時之匯流排操作頻寬與操作頻率係設定於BIOS中。接下來，BIOS依序初始處理器以及包含北橋以及南橋之晶片組之電源管理暫存器，並設定最佳化時之匯流排操作頻寬與操作頻率(S2)。接下來，BIOS於南橋啟動一自動恢復(Auto Resume)之計數器(S3)，接下來，BIOS並發出讀取指令至南橋之輸入輸出埠(Power Management I/O, PMIO)偏移15th以設定(asserting)信號LDTSTOP#(S4)。在此，對信號LDTSTOP#執行設定之動作係將原本為高位準之信號LDTSTOP#轉換為低位準信號。當南橋將信號LDTSTOP#設定為低位準時，則位於處理器以及北橋之間的LDT匯流排即中斷連接(S5)。

接下來，當於步驟S3所啟動之計數器之計數值達到一既定值時，則南橋將信號LDTSTOP#解除(deassert)為高位準(S6)，亦即將先前設定為低位準之信號LDTSTOP#恢復為高位準。當信號LDTSTOP#重新恢復為高位準後，則位於處理器以及北橋之間的LDT匯流排即恢復連接(S7)，並根據於先前BIOS所設定之最佳化之匯流排操作頻寬與操作頻率作為重新連線後之LDT匯流排的操作頻寬與頻率，完成了LDT I/O 匯流排之頻寬與操作頻率之最佳化。

上述匯流排最佳化程序，必須藉由執行LDT匯流排之中斷以及重新連線之動作才能完成調整匯流排之頻寬與操



#### 五、發明說明 (4)

作頻率之動作。然而，若LDT匯流排之中斷以及重新連線之動作未完全執行，則匯流排之狀態並不會改變，無法達到將匯流排最佳化之效果，因此導致系統效能無法有效提昇。

然而，傳統技術在判斷匯流排是否已完成最佳化程序上，遭遇了許多困難。以軟體而言，軟體工程師幾乎無法確定匯流排是否已完成最佳化程序。以硬體而言，系統工程師必須利用視波器之探針直接偵測輸出信號LDTSTOP#之接腳之位準變化來判斷匯流排是否已完成最佳化程序，此偵測動作相當的麻煩。再者，縱使已偵測到輸出信號

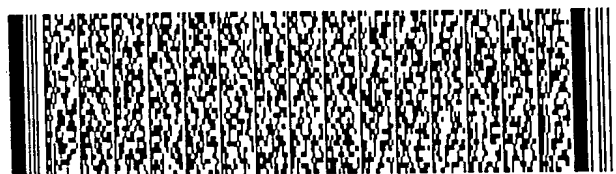
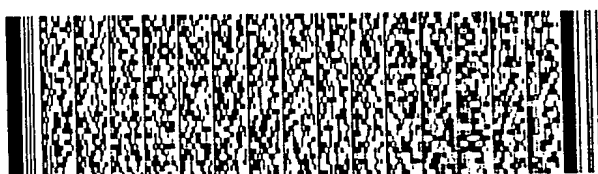
LDTSTOP#之接腳之位準被設定(assert)以及解除

(deassert)，若南橋18與處理器10或北橋14其中任何一者之電路連線發生斷路之情形，則處理器10與北橋14無法同時接收到被設定(assert)以及解除(deassert)之信號LDTSTOP#，因此匯流排之頻寬與操作頻率仍然不會最佳化。

#### [發明內容]

有鑑於此，為了解決上述問題，本發明主要目的在於提供一種匯流排最佳化驗證方法，以確認信號LDTSTOP#被設定(assert)以及解除(deassert)之程序完全被執行完畢，以避免電腦系統因為匯流排未被最佳化而導致整體系統效能不佳之情形。

為獲致上述之目的，本發明提出一種處理器匯流排最佳化驗證方法。首先，設定處理器與北橋之間匯流排之匯



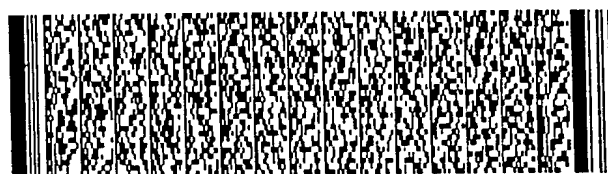
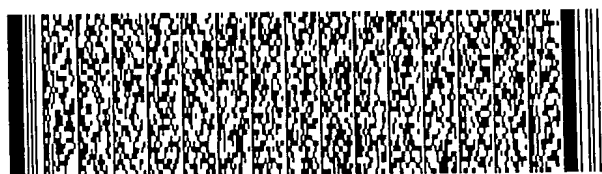
## 五、發明說明 (5)

流排啟始頻寬與匯流排啟始頻率以及匯流排操作頻寬與匯流排操作頻率，接下來，發出讀取南橋之指令，接下來，南橋輸出匯流排中斷信號以匯流排的連線，並啟始計數器之計數值以及輸出具有第一位準之最佳化驗證信號。當計數器之計數值累積達一既定值，則南橋輸出匯流排連接信號，並將上述最佳化驗證信號之位準轉換為第二位準。最後，匯流排根據匯流排連接信號以及第二位準之最佳化驗證信號而重新連接處理器與北橋，並工作於另一匯流排操作頻寬與匯流排操作頻率。

### [實施方式]

#### 實施例：

參閱第3圖，第3圖係顯示根據本發明實施例所述之具有LDT匯流排之電腦系統架構圖。如圖所示，處理器20與北橋24之間具有一LDT匯流排22，或稱HT匯流排。在此，處理器20係以AMD所製造之K8 CPU為例。而北橋24與南橋28之間具有另一匯流排26。當要執行匯流排最佳化程序時，位於處理器20與北橋24之間的LDT匯流排22必須執行中斷以及重新連線之動作，上述動作係受到南橋28所輸出之信號LDTSTOP#之位準變化所控制。信號LDTSTOP#之位準於正常情形為第一位準（以高位準為例），當南橋28將信號LDTSTOP#之位準拉低為第二位準時（以低位準為例），此稱為設定（assert）信號LDTSTOP#，則LDT匯流排22中斷連線。此時，南橋28內部之計數器29開始計數，待達到一既定值後，則南橋將信號LDTSTOP#之位準再恢復為原本



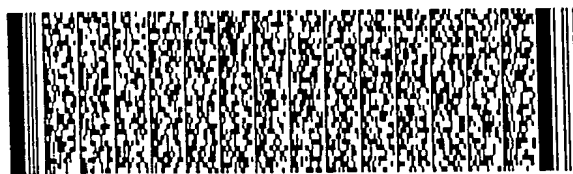
#### 五、發明說明 (6)

之第一位準 (高位準)，此稱為解除 (deassert) 信號 LDTSTOP#，則LDT匯流排22重新連線，以套用新的LDT匯流排操作頻率以及頻寬。

再者，根據本發明實施例所述之匯流排最佳化驗證方法，係增設一信號位準偵測電路21來判斷信號LDTSTOP#是否已執行設定 (assert) 以及解除 (deassert) 的程序。

第4圖係顯示根據本發明實施例所述之位準偵測電路21之電路圖。根據本發明實施例所述之位準偵測電路21包括一正反器40，以及耦接於正反器40之D端子的或邏輯閘42。在此位準偵測電路21中，系統於或邏輯閘42之輸入端42A輸入邏輯位準"1"的信號，此時於正反器40之Q端子輸出邏輯位準"1"的信號LSTSTOP\_STATUS。當正反器40之RST端子所接收之信號LDTSTOP#由低位準上升到高位準時，則正反器40之Q端子輸出的信號LSTSTOP\_STATUS之邏輯位準清除為"0"。由於信號LDTSTOP#之位準於正常情況下係保持於高位準，當信號LDTSTOP#被設定 (assert) 為低位準，再被解除 (deassert) 為高位準時，正反器40之Q端子所輸出的信號LSTSTOP\_STATUS之邏輯位準才會為"0"。因此，藉由偵測正反器40之Q端子所輸出的，即可判斷信號LDTSTOP#完成執行設定 (assert) 以及解除 (deassert) 之程序。

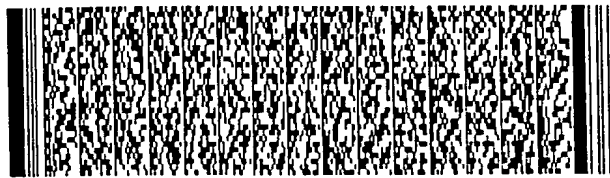
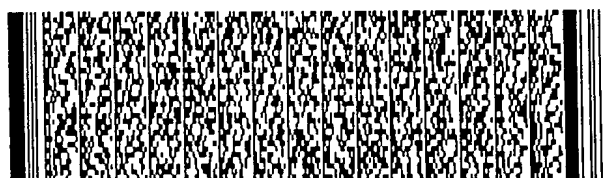
再者，關於位準偵測電路21所設置之位置可置於南橋20之輸出端，以及處理器20和北橋24接收信號LDTSTOP#之輸入端，如第3圖所示。另外，根據本發明實施例第4圖中



#### 五、發明說明 (7)

所示之位準偵測電路之電路結構僅為一較佳實施例，然而，偵測信號LSTSTOP\_STATUS邏輯位準之動作同樣也可利用其他電路來達成，並不限定於第4圖中所示之位準偵測電路結構。

第5圖係顯示根據本發明實施例所述之處理器匯流排最佳化驗證方法之操作流程圖。根據本發明實施例，首先，於系統電源啟動後，由基本輸入/輸出系統(Basic Input/Output System, BIOS)初始(initialize)LDT匯流排之啟始設定，包括設定處理器與北橋之間的LDT匯流排之匯流排啟始頻寬與匯流排啟始頻率以及最佳化時之匯流排操作頻寬與操作頻率(S21)。舉例來說，匯流排啟始頻寬可為8位元，但最佳化時可調整為16位元。再者，匯流排啟始頻率可為200MHz，但可最佳化為400MHz、600MHz或800MHz等頻率。上述最佳化時之匯流排操作頻寬與操作頻率係設定於BIOS中。接下來，由BIOS依序初始處理器以及包含北橋以及南橋之晶片組之電源管理暫存器，以處理相關之電源設定(S22)。接下來，BIOS將處理器與北橋之間的LDT匯流排之匯流排最佳化之操作頻寬與操作頻率設定於暫存器中(S23)，例如，將匯流排最佳化操作頻寬設定為16位元、將匯流排最佳化操作頻率設定為800MHz。接下來，BIOS於南橋啟動一自動恢復(Auto Resume)之計數器(S24)。當自動恢復(Auto Resume)之計數器之計數值累計到一既定值時，則解除(deassert)信號LDTSTOP#。



#### 五、發明說明 (8)

接下來，於如第4圖所示之位準偵測電路21之邏輯閘42之輸入端42A輸入邏輯位準"1"的信號，使得正反器40之Q端子輸出邏輯位準"1"的信號LSTSTOP\_STATUS (S25)。

接下來，BIOS發出讀取指令至南橋之輸入輸出埠 (Power Management I/O, PMIO) 偏移15th以設定 (asserting) 信號LDTSTOP# (S26)。在此，對信號LDTSTOP#執行設定之動作係將原本為高位準之信號LDTSTOP#轉換為低位準信號。當南橋將信號LDTSTOP#設定為低位準時，則位於處理器以及北橋之間的LDT匯流排即中斷連接 (S27)。

接下來，當於步驟S24所啟動之計數器之計數值達到一既定值時，則南橋將信號LDTSTOP#解除 (deassert) 為高位準 (S28)，亦即將先前設定為低位準之信號

LDTSTOP#恢復為高位準。當信號LDTSTOP#解除 (deassert) 為高位準後，由於信號LDTSTOP#係耦接於位準偵測電路21之RST端子，因此正反器40之Q端子輸出的信號

LSTSTOP\_STATUS之邏輯位準清除為"0" (S29)。接下來，偵測正反器40之Q端子輸出的信號LSTSTOP\_STATUS之邏輯位準 (S30)，以判斷信號LDTSTOP#是否已完成設定

(assert) 以及解除 (deassert) 之完整程序。接下來，處理器判斷正反器40之Q端子輸出的信號LSTSTOP\_STATUS之邏輯位準是否為"0" (S31)，若不為"0"，則回到步驟S30，繼續偵測正反器40之Q端子輸出的信號

LSTSTOP\_STATUS之邏輯位準。若於步驟S31之判斷出

LSTSTOP\_STATUS之邏輯位準為"0"，則位於處理器以及北



#### 五、發明說明 (9)

橋之間的LDT匯流排即恢復連接，並根據於先前BIOS所設定之最佳化之匯流排操作頻寬與操作頻率作為重新連線後之LDT匯流排的操作頻寬與頻率(S32)，完成了LDT I/O匯流排之頻寬與操作頻率之最佳化。

根據本發明實施例所述之處理器匯流排最佳化驗證方法，藉由偵測設置於南橋之位準偵測電路21所輸出之LSTSTOP\_STATUS之邏輯位準即可判斷信號LDTSTOP#是否已完成設定(assert)以及解除(deassert)之完整程序。再者，若於北橋或者處理器於接收信號LDTSTOP#之輸入端處設置位準偵測電路，更可確保完成設定(assert)以及解除(deassert)完整程序之信號LDTSTOP#正常連接至北橋或者處理器，確認位於北橋以及處理器之間之匯流排能夠遵循信號LDTSTOP#位準之變化確實完成中斷連線以及恢復連線之動作。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。





## 圖式簡單說明

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

### 圖示說明：

第1圖係顯示傳統具有LDT匯流排之電腦系統架構圖。

第2圖係顯示傳統LDT I/O 匯流排之頻寬與操作頻率最佳化之操作流程圖。

第3圖係顯示根據本發明實施例所述之具有LDT匯流排之電腦系統架構圖。

第4圖係顯示根據本發明實施例所述之位準偵測電路之電路圖。

第5圖係顯示根據本發明實施例所述之處理器匯流排最佳化驗證方法之操作流程圖。

### 符號說明：

10 ～ 處理器

12 ～ LDT 匯流排

14 ～ 北橋

16 ～ 匯流排

18 ～ 南橋

21 ～ 位準偵測電路

LDTSTOP# ～ 信號



## 六、申請專利範圍

1. 一種處理器匯流排最佳化驗證方法，適用於一處理器、一北橋晶片組、耦接於該處理器與北橋晶片組之間之匯流排以及耦接於該北橋晶片組之南橋晶片組，包括下列步驟：

設定該處理器與北橋晶片組之間匯流排之匯流排啟始頻寬與匯流排啟始頻率以及匯流排操作頻寬與匯流排操作頻率；

發出讀取該南橋晶片組之指令；

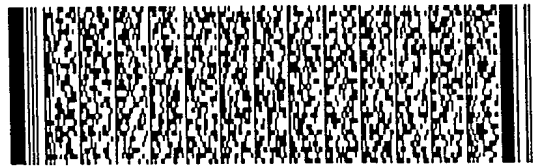
該南橋晶片組接收到該指令後，輸出一匯流排中斷信號以中斷該處理器與北橋晶片組之間之匯流排的連線，並啟始一計數器之計數值，以及輸出具有一第一位準之一最佳化驗證信號；

當該計數器之計數值累積達一既定值，則該南橋晶片組輸出一匯流排連接信號，並將該最佳化驗證信號之位準轉換為一第二位準；以及

該匯流排根據該匯流排連接信號以及具有第二位準之最佳化驗證信號而重新連接該處理器與北橋晶片組，並工作於另一匯流排操作頻寬與匯流排操作頻率。

2. 如申請專利範圍第1項所述之處理器匯流排最佳化驗證方法，其中該匯流排為閃電數據傳輸 (lightning data transport, LDT) 匯流排。

3. 如申請專利範圍第1項所述之處理器匯流排最佳化驗證方法，其中該匯流排為高傳輸 (Hyper Transport, HT) 匯流排。



#### 六、申請專利範圍

4. 如申請專利範圍第1項所述之處理器匯流排最佳化驗證方法，更包括設定該匯流排之最佳化操作頻寬與最佳化操作頻率之步驟。

5. 如申請專利範圍第4項所述之處理器匯流排最佳化驗證方法，其中該另一匯流排操作頻寬與匯流排操作頻率為該匯流排之最佳化操作頻寬與最佳化操作頻率之步驟。

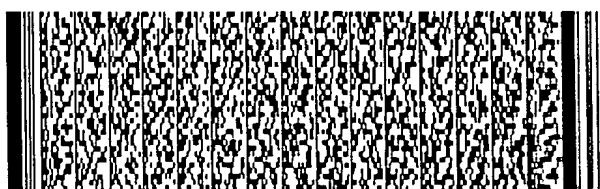
6. 如申請專利範圍第1項所述之處理器匯流排最佳化驗證方法，其中該匯流排中斷信號以及匯流排連接信號係由同一輸出端所輸出。

7. 如申請專利範圍第1項所述之處理器匯流排最佳化驗證方法，其中該匯流排中斷信號以及匯流排連接信號係藉由設定以及解除由該南橋晶片組之一輸出端所輸出之信號。

8. 如申請專利範圍第1項所述之處理器匯流排最佳化驗證方法，其中該最佳化驗證信號係由一位準偵測電路所輸出。

9. 如申請專利範圍第8項所述之處理器匯流排最佳化驗證方法，其中該位準偵測電路包括一正反器以及耦接於該正反器之一或邏輯閘，當該南橋晶片組輸出該匯流排中斷信號時，則該正反器輸出具有第一位準之最佳化驗證信號，當該南橋晶片組輸出該匯流排連接信號時，則該正反器輸出具有第二位準之最佳化驗證信號。

10. 如申請專利範圍第8項所述之處理器匯流排最佳化驗證方法，其中該位準偵測電路係設置於該南橋晶片組之



## 六、申請專利範圍

輸出端。

11. 如申請專利範圍第8項所述之處理器匯流排最佳化驗證方法，其中該位準偵測電路係設置於該北橋晶片組或處理器之輸入端。

12. 一種處理器匯流排最佳化驗證方法，適用於一處理器、一北橋晶片組、耦接於該處理器與北橋晶片組之間之匯流排以及耦接於該北橋晶片組之南橋晶片組，包括下列步驟：

設定該處理器與北橋晶片組之間匯流排之匯流排啟始頻寬與匯流排啟始頻率以及匯流排操作頻寬與匯流排操作頻率；

設定該匯流排之最佳化操作頻寬與最佳化操作頻率；

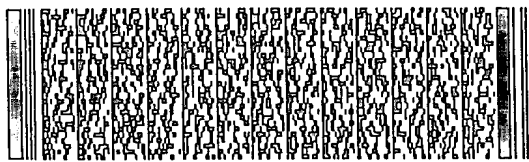
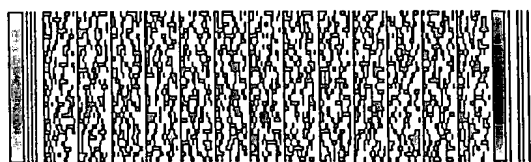
發出讀取該南橋晶片組之指令；

該南橋晶片組接收到該指令後，輸出一匯流排中斷信號以中斷該處理器與北橋晶片組之間之匯流排的連線，並啟始一計數器之計數值，以及輸出具有一第一位準之一最佳化驗證信號；

當該計數器之計數值累積達一既定值，則該南橋晶片組輸出一匯流排連接信號，並將該最佳化驗證信號之位準轉換為一第二位準；以及

該匯流排根據該匯流排連接信號以及具有第二位準之最佳化驗證信號而重新連接該處理器與北橋晶片組，並工作於該匯流排操作頻寬與匯流排操作頻率。

13. 如申請專利範圍第12項所述之處理器匯流排最佳



#### 六、申請專利範圍

化驗證方法，其中該匯流排為閃電數據傳輸 (lightning data transport, LDT) 匯流排。

14. 如申請專利範圍第12項所述之處理器匯流排最佳化驗證方法，其中該匯流排為高傳輸 (Hyper Transport, HT) 匯流排。

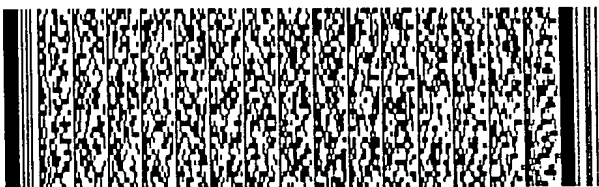
15. 如申請專利範圍第12項所述之處理器匯流排最佳化驗證方法，其中該匯流排中斷信號以及匯流排連接信號係由同一輸出端所輸出。

16. 如申請專利範圍第12項所述之處理器匯流排最佳化驗證方法，其中該匯流排中斷信號以及匯流排連接信號係藉由設定以及解除由該南橋晶片組之一輸出端所輸出之信號。

17. 如申請專利範圍第12項所述之處理器匯流排最佳化驗證方法，其中該最佳化驗證信號係由一位準偵測電路所輸出。

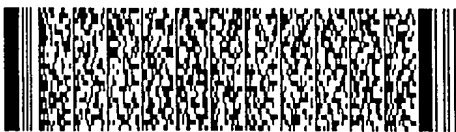
18. 如申請專利範圍第17項所述之處理器匯流排最佳化驗證方法，其中該位準偵測電路包括一正反器以及耦接於該正反器之一或邏輯閘，當該南橋晶片組輸出該匯流排中斷信號時，則該正反器輸出具有第一位準之最佳化驗證信號，當該南橋晶片組輸出該匯流排連接信號時，則該正反器輸出具有第二位準之最佳化驗證信號。

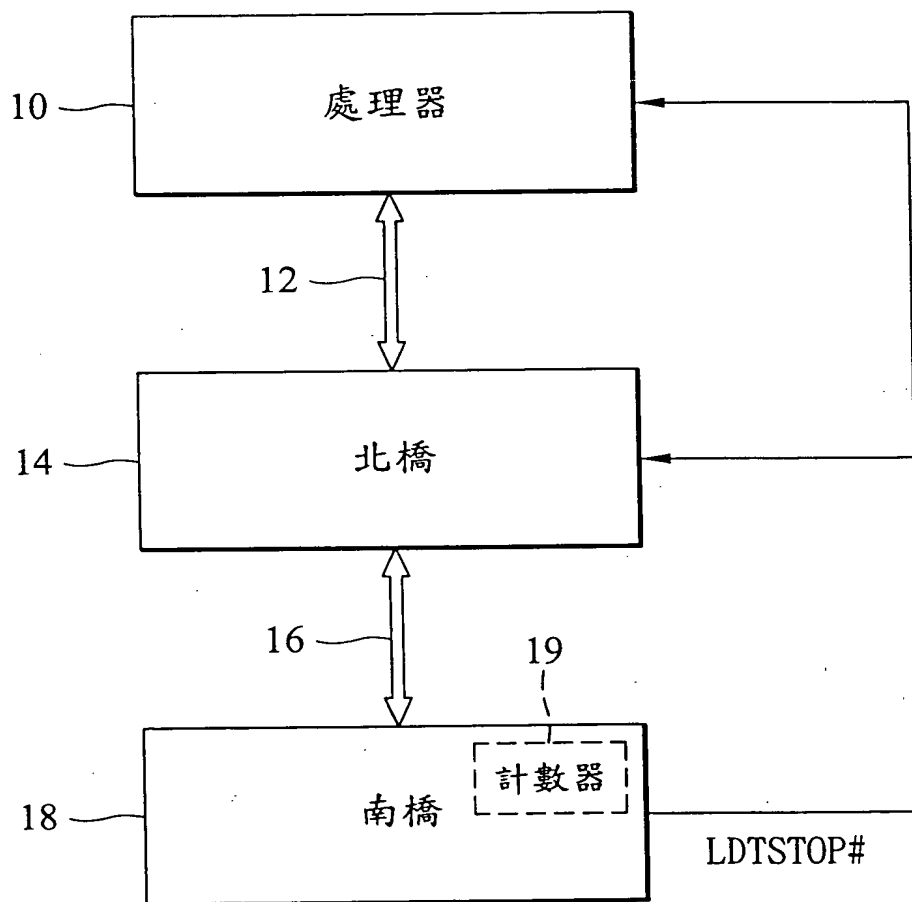
19. 如申請專利範圍第12項所述之處理器匯流排最佳化驗證方法，其中該位準偵測電路係設置於該南橋晶片組之輸出端。



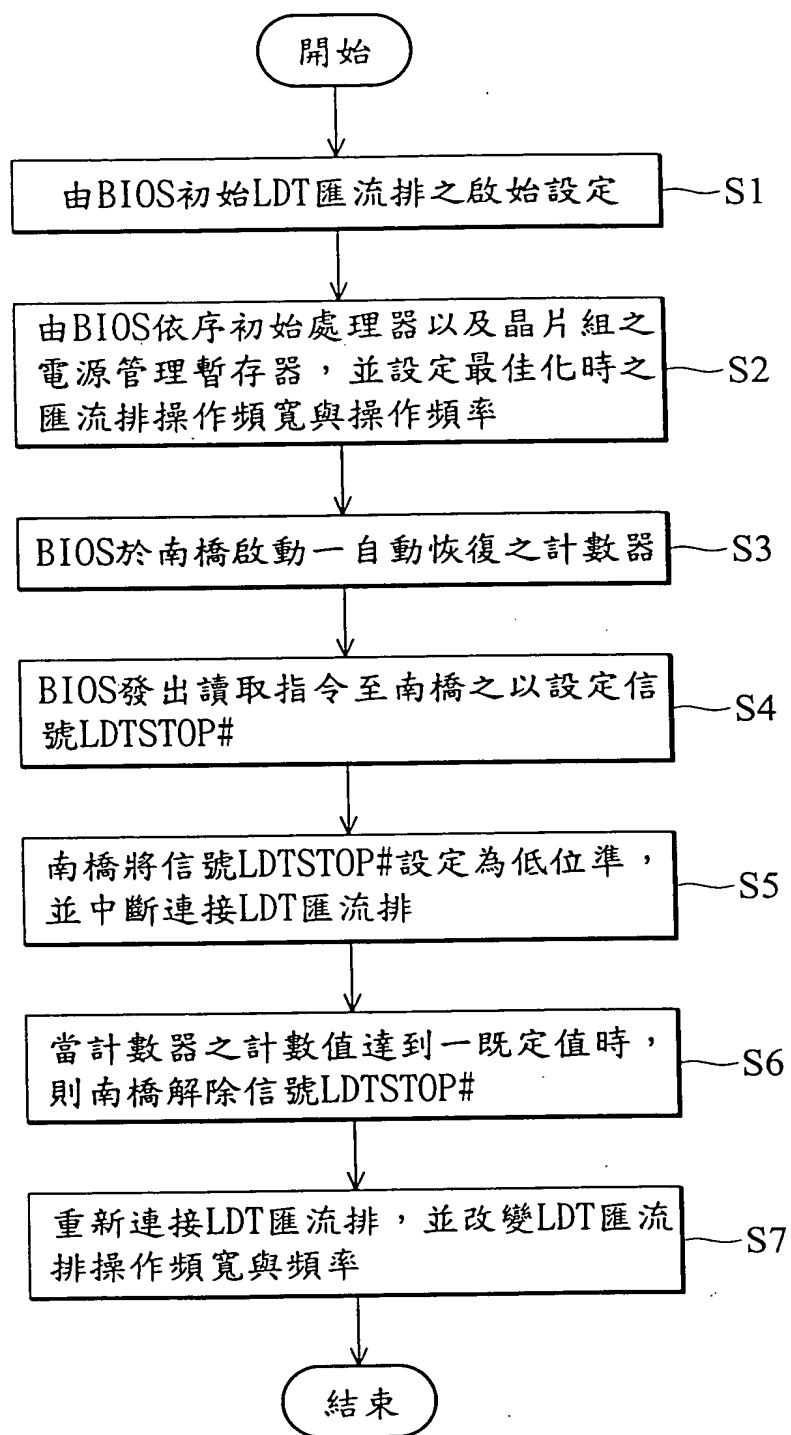
六、申請專利範圍

20. 如申請專利範圍第12項所述之處理器匯流排最佳化驗證方法，其中該位準偵測電路係設置於該北橋晶片組或處理器之輸入端。



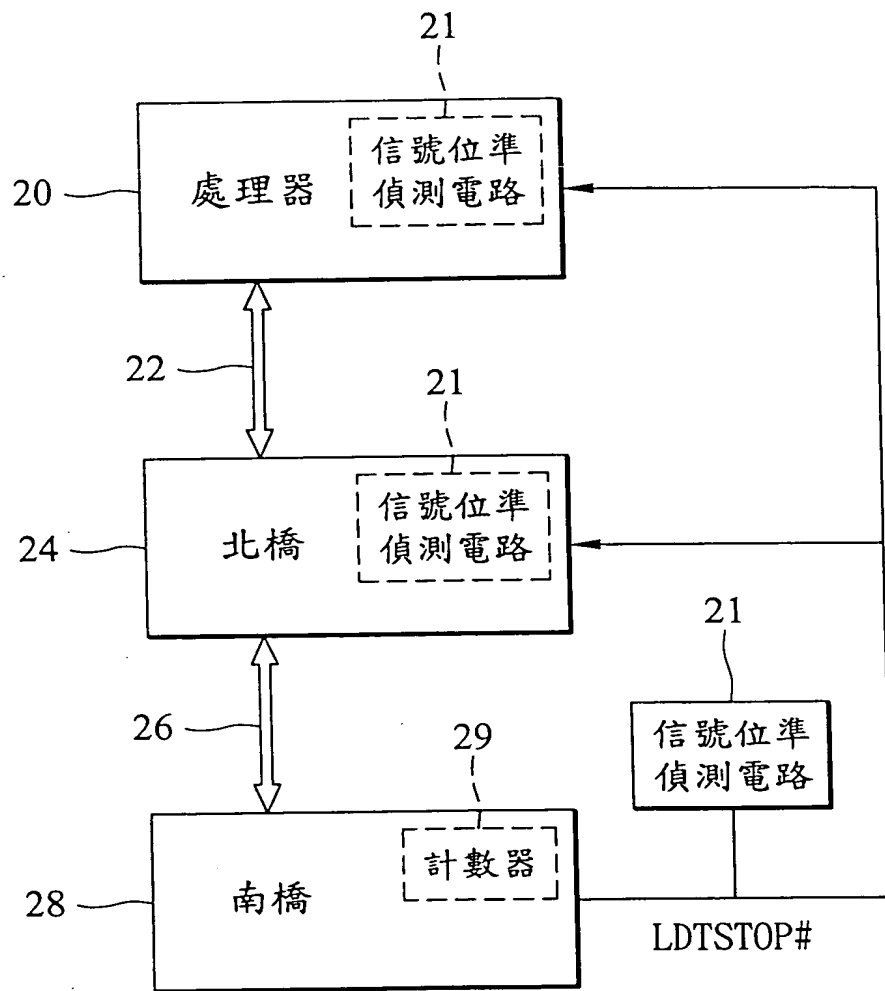


第 1 圖

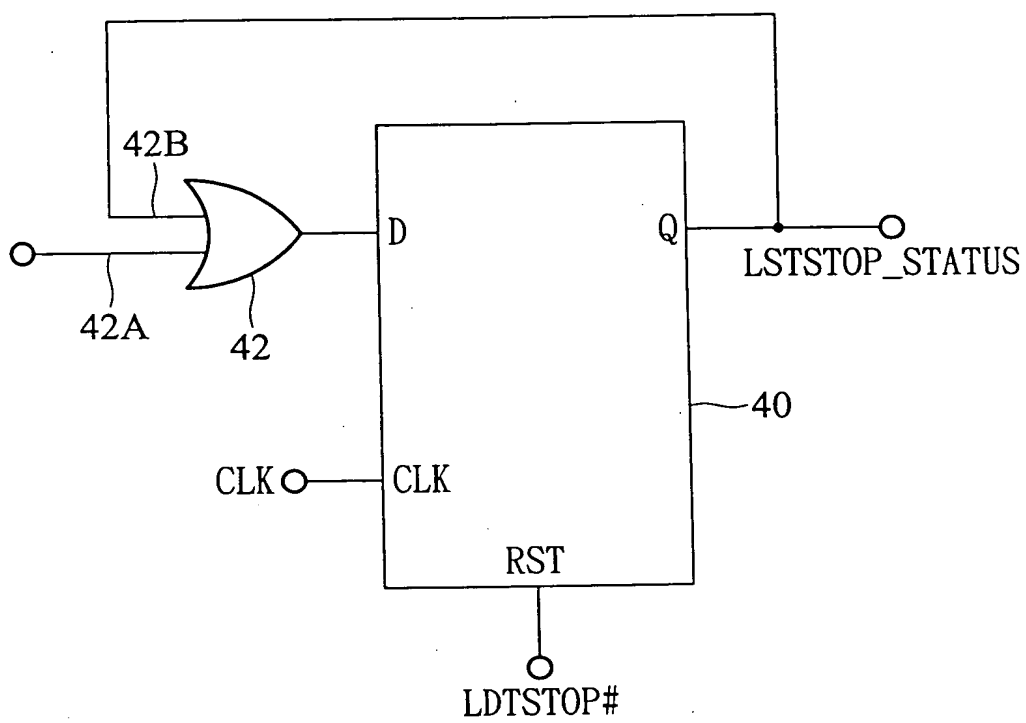


第 2 圖

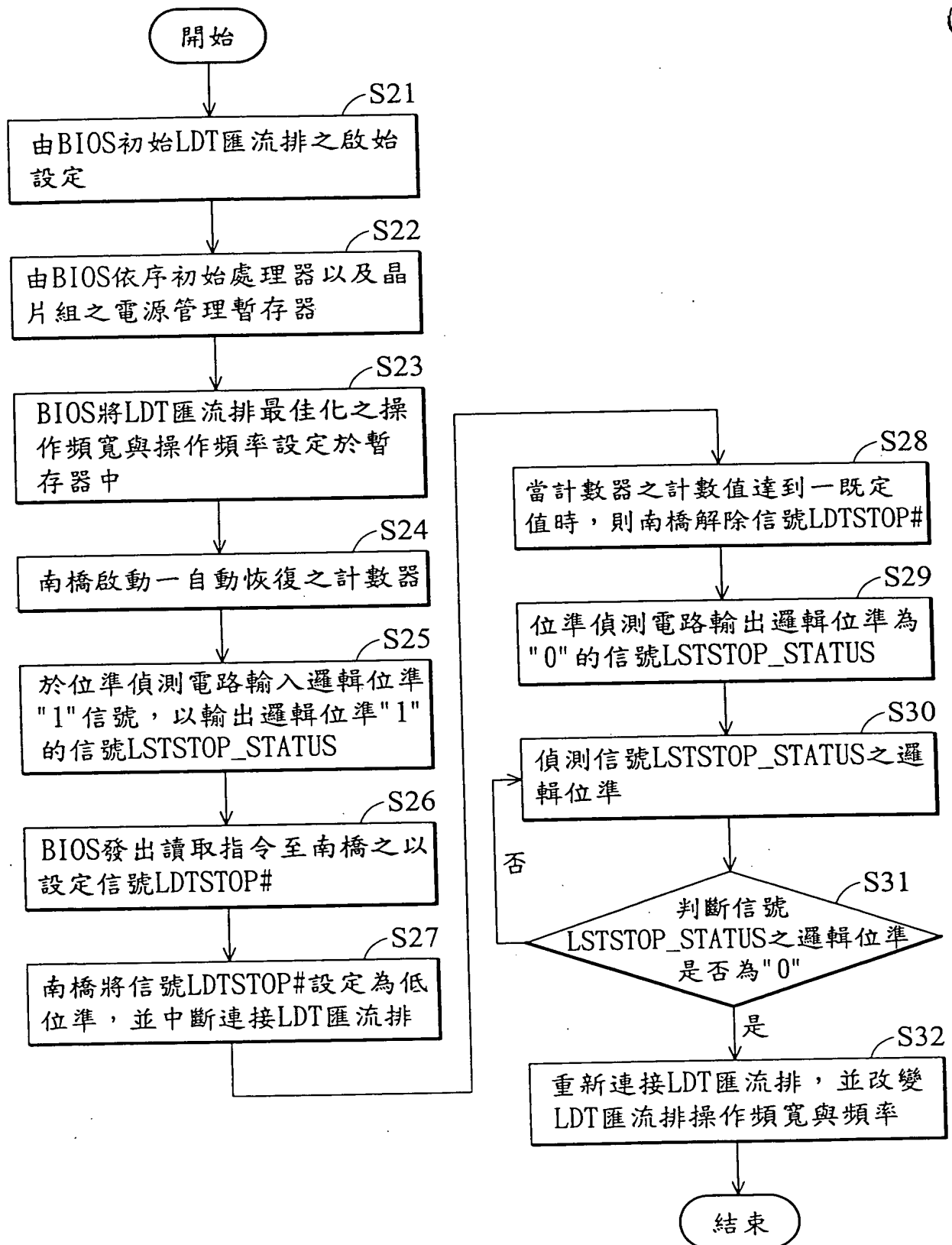




第 3 圖

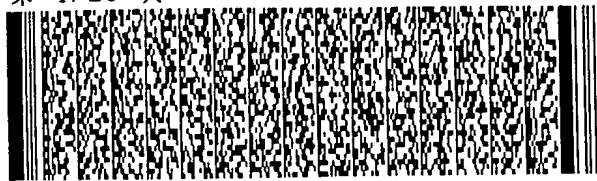


第 4 圖

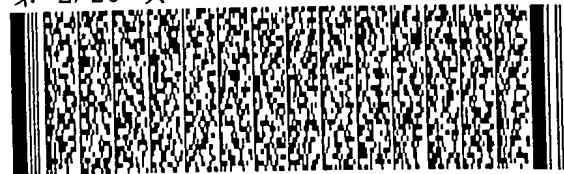


第 5 圖

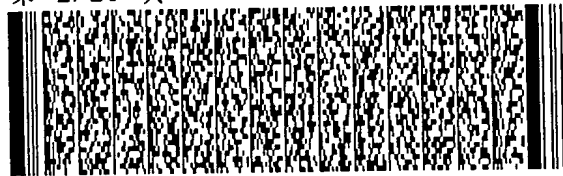
第 1/20 頁



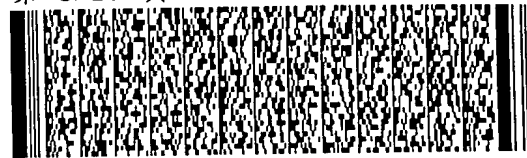
第 2/20 頁



第 2/20 頁



第 3/20 頁



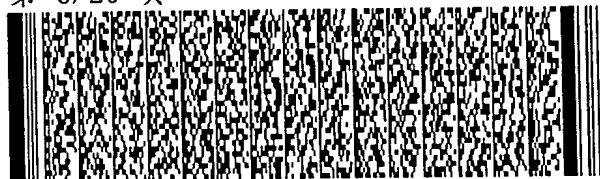
第 4/20 頁



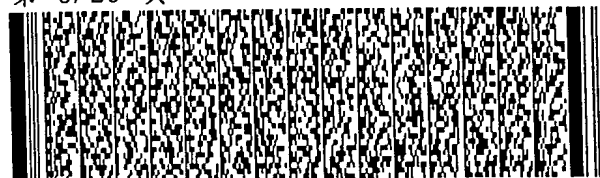
第 5/20 頁



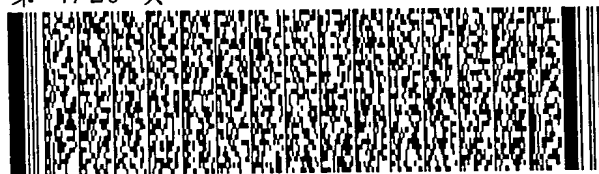
第 6/20 頁



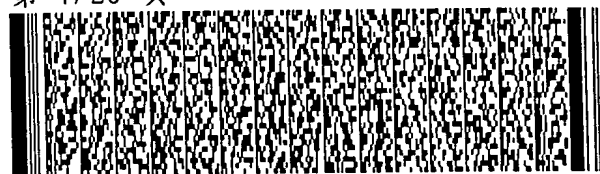
第 6/20 頁



第 7/20 頁



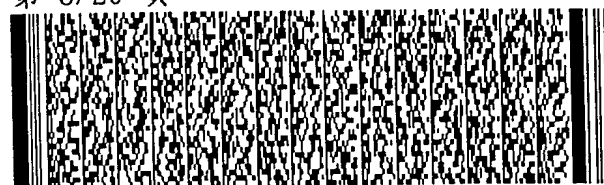
第 7/20 頁



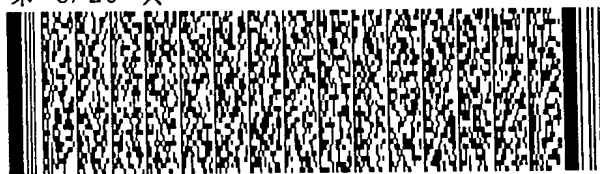
第 8/20 頁



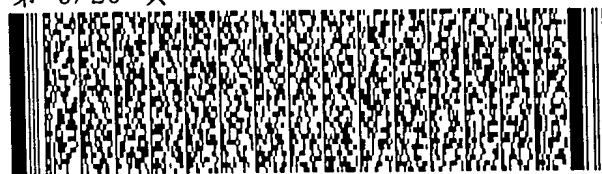
第 8/20 頁



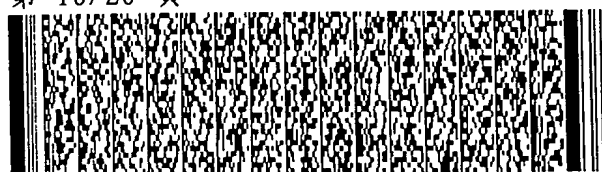
第 9/20 頁



第 9/20 頁



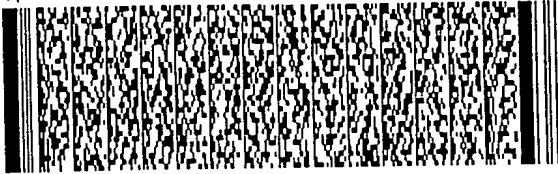
第 10/20 頁



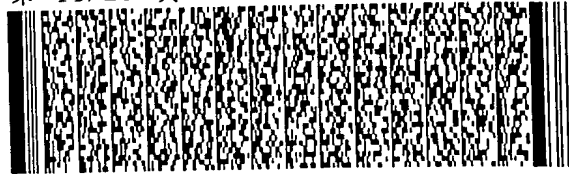
第 10/20 頁



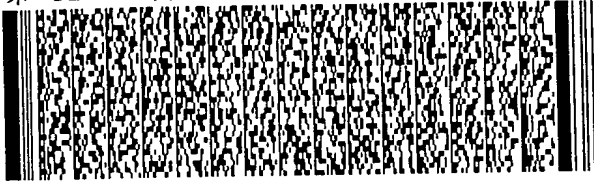
第 11/20 頁



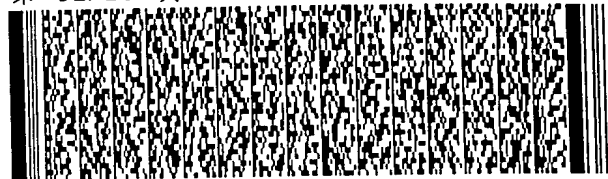
第 11/20 頁



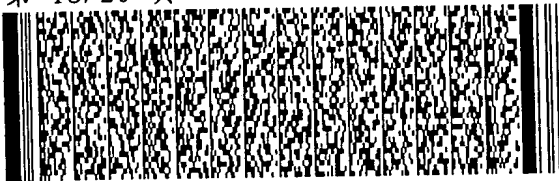
第 12/20 頁



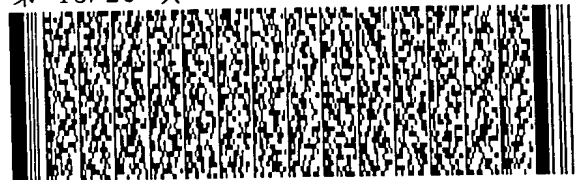
第 12/20 頁



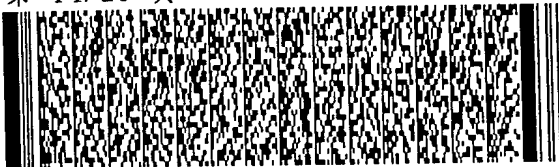
第 13/20 頁



第 13/20 頁



第 14/20 頁



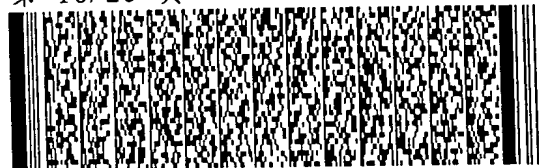
第 14/20 頁



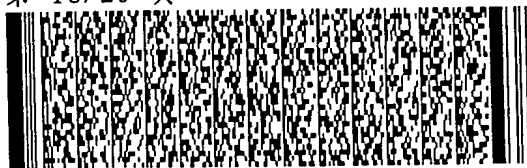
第 15/20 頁



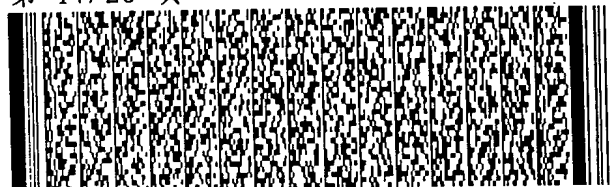
第 16/20 頁



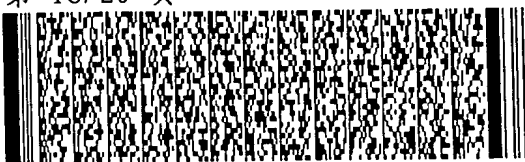
第 16/20 頁



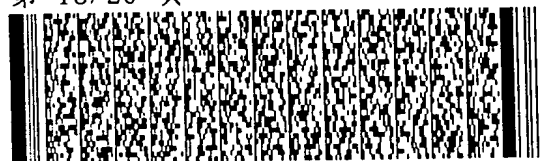
第 17/20 頁



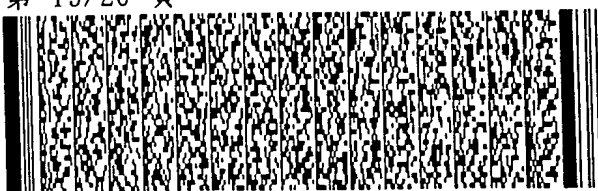
第 18/20 頁



第 18/20 頁



第 19/20 頁



第 20/20 頁

